

一种全集成交替型双积分 ADC 的设计

程天元, 吴春东, 王国兴

(上海交通大学 电子信息与电气工程学院, 上海 200240)

摘 要: 本文提出了一个应用于生物医学的全集成小面积的交替型双积分模数转换器, 将双积分 ADC 原本单一的积分时间窗口变成多个时间窗口, 使正反积分交替进行, 极大地减小了积分器所需的 RC 时间常数, 同时节省了大量的面积, 有利于实现芯片的全集成. 为了消除积分器失调的影响和降低功耗, 使用了自动调零结构以及动态比较器. 该 10 bit 双积分 ADC 在 $0.35\ \mu\text{m}$ 工艺下设计, 面积为 $0.16\ \text{mm}^2$. 在 2 V 电源电压, 418 S/s 采样频率下, ADC 的功耗为 $18.5\ \mu\text{A}$, Matlab 仿真结果显示有效位数为 9.77 bit.

关键词: 双积分模数转换器; 全集成; 低功耗; 交替积分

中图分类号: TN453

文献标识码: A

文章编号: 1000-7180(2018)10-0062-05

A Design of Fully Integrated Alternating Dual Slope ADC

CHENG Tian-yuan, WU Chun-dong, WANG Guo-xing

(School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: This paper presents a fully on-chip small area dual slope ADC for biomedical application. Base on the proposed multi-window dividing method, the RC time constant of the integrator is greatly reduced, which helps the ADC to save large amount of area for the on-chip capacitor. The auto-zero technique is applied to reduce the offset of integrator, and dynamic comparator is used to save power. The proposed 10 bit dual slope ADC has a sampling rate of 418S/s at 2 V supply voltage, consuming $18.5\ \mu\text{A}$ current. The proposed dual slope ADC is implemented in $0.35\ \mu\text{m}$ CMOS process occupying an area of $0.16\ \text{mm}^2$. Matlab simulation results show that the effective number of bits (ENOB) for the ADC is 9.77 bit.

Key words: dual slope ADC; alternating integration; fully on-chip; low power

1 引言

针对无线供电的条件下, 便携式可穿戴心电测量设备的研制. 本文设计采样频率在 400 Hz 以上, 同时满足低频中等精度低功耗的双积分 ADC. 双积分 ADC 则不会出现瞬态电流过大的问题, 而传统结构的双积分 ADC 需要比较大的片上电容电阻, 甚至片外器件, 才能保证在积分阶段积分器不会饱和^[1-4]. 本文提出的一种正反积分交替的结构, 可以在使用较小面积片上电容的情况下依然不会使积分器饱和.

2 交替型双积分 ADC 结构

图 1 为本文提出的交替型双积分 ADC 的总体

框图, 主要由采样保持电路、开关电容积分器、比较器和数字逻辑构成.

2.1 模拟部分简介

图 1 上方为电路的模拟部分. 因为积分和反积分交替进行, 所以只有两个阶段: 自动调零阶段和积分阶段. $V_{\text{hld}_p}, V_{\text{hld}_n}$ 为输入信号 V_{in_p} 和 V_{in_n} 经过采样保持电路后存储的值, $V_{\text{ref}_p}, V_{\text{ref}_n}$ ($V_{\text{ref}_p} > V_{\text{ref}_n}$) 为反积分时的参考电平, $V_{\text{int}_p}, V_{\text{int}_n}$ 为积分器的输出电平, clk_2 为动态比较器的时钟, V_{comp} 为比较器的输出. 当处于自动调零阶段时, 开关 St_AZ 闭合, 积分器运放工作在单位增益负反馈的形式, 若运放没有失调, V_{int_p} 和 V_{int_n} 电压等于 V_{cm} . 当处于积分阶段时开关 SW_AZ 断开, 积分器开始工作. Q_1, Q_2

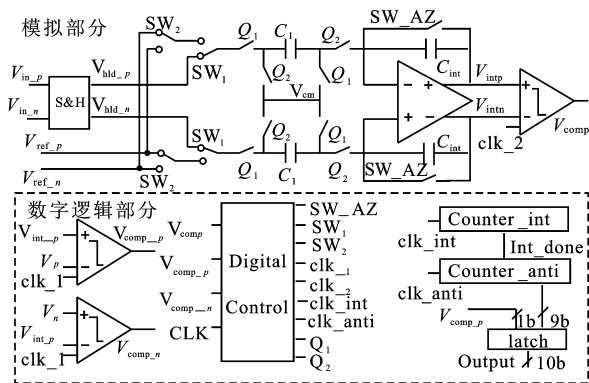


图1 交替型双积分 ADC 总架构

是周期为 T 的两相不交叠时钟,其控制的开关与电容 C_1 构成等效值为 T/C_1 的电阻。信号 SW_1 控制一对单刀双掷开关,当 SW_1 为高电平,采样保持电路保存的电压 V_{hld_p} , V_{hld_n} 接入积分器,相当于传统双积分 ADC 的正积分阶段;当 SW_1 为低电平,参考电压 V_{ref_p} , V_{ref_n} 接入积分器,相当于传统双积分 ADC 的反积分阶段。信号 SW_2 控制反积分阶段的参考极性电平的选择,在一个转换周期内,若 $V_{hld_p} > V_{hld_n}$,则 SW_2 为高电平,在反积分阶段 V_{ref_n} 与 V_{hld_p} 对应, V_{ref_p} 与 V_{hld_n} 对应;反之, SW_2 位低电平, V_{ref_n} 与 V_{hld_n} 对应, V_{ref_p} 与 V_{hld_p} 对应。

在本文提出的结构中,正反积分交替进行,因此反积分阶段的电平极性选择极为重要,错误的选择将会使积分器的输出饱和,导致错误的量化结果。如果在固定积分时间 t_{const} ,通过比较器的输出电平来判断差分输入信号的极性,为了避免当 $V_{in} = V_{in_max}$ 积分器输出饱和,需满足

$$V_{in_max} t_{const} / RC < V_{dd} / 2 \quad (1)$$

为了保证比较器判定准确,当 $V_{in} = V_{in_min}$ 需要满足

$$V_{in_min} t_{const} / RC > V_{offset} \quad (2)$$

V_{offset} 为比较器的失调电压,对于一个 10 bit ADC,有

$$V_{in_max} = 1024 V_{in_min} \quad (3)$$

在本文使用的工艺下, V_{offset} 的典型值为 10 mV,当电源电压为 2 V 时,没有 t_{const} 的值能使式 (1)、(2)、(3) 同时成立。因此本文选择了固定电平触发的方法来判断输入电压极性。

在传统的双积分 ADC 中, t_{const} 就是正积分阶段所需的时间,而且不存在反积分电平的选择问题,比较器失调 V_{offset} 仅表现为 ADC 的失调误差。为了确保式 (1) 成立,通常需要很大的 RC 常数。以本应用为例,给 ADC 的时钟为 0.75 MHz,若采用传统的

双积分 ADC 结构,为了满足 10 bit 的精度。那么反积分阶段需要 1024 个时钟,那么积分时间 $t_{const} = 1.36$ ms。如果 $V_{dd} = 2$ V, $V_{in} = 1$ V,由式 (3.1) 可以得到 $RC > 1.36$ ms。取 $C = 100$ pF 的片上电容,那么需要片上电阻 $R > 13.6$ M Ω ,在 0.35 μ m 工艺下,电阻的寄生电容达到了 0.2 pF。在第 2 节提出的集总 RC 模型中,会引起 1 LSB 的直流失调,而且 100 pF 的电容至少需要占用芯片 0.05 mm² 的面积。本文使用开关电容积分器的结构直接消除了电阻中寄生电容的影响。

2.2 数字逻辑部分简介

图 1 虚线框内为数字部分框图,数字部分主要有两个辅助判断电平的比较器 $Comp_p$, $Comp_n$ 数字控制逻辑、两个计数器组成。 V_p , V_n 为极性判断电平, V_{comp_p} , V_{comp_n} 为比较器的输出电平。CLK 是输入给 ADC 的时钟信号, clk_1 为辅助比较器工作的时钟, clk_2 为主电路比较器工作的时钟。Counter_int、Counter_anti 是积分阶段和反积分阶段的计数器, clk_int , clk_anti 分别为其接收到的时钟信号。 SW_AZ 为高代表此时为自动调零阶段, Int_done 为低表示在此次转换过程中正积分阶段达到设定时间,此时停止积分过程,反积分阶段计数器的输出保持不变,在下次转换开始时,将极性标志信号 V_{comp_p} 与反积分计数器的信号送入 10 位锁存器 latch 作为输出。

2.3 电路工作过程

图 2 为正反积分实现的流程图,图 3 为在电源电压为 2 V, $V_p = 1.2$ V, $V_n = 0.8$ V, $V_{in_p} = 1.215$ V, $V_{in_n} = 0.785$ V, $V_{ref_p} = 2$ V, $V_{ref_n} = 0$, $C_1 = 0.25$ pF, $C_{int} = 1$ pF 时 ADC 的时序图。

电路开始工作时,首先进入自动调零阶段,比较器的输出 V_{int_p} , V_{int_n} 的值等于 V_{cm} , clk_1 跟随 CLK 变化,两个辅助比较器工作,因为 $V_p > V_{cm} > V_n$,比较器的输出 V_{comp_p} , V_{comp_n} 均为低电平,此时 clk_1 跟随主时钟 CLK, clk_2 为低电平,主电路比较器不工作。

当积分阶段开始时, Int_done 为高电平,表示正积分时间尚未达到预设值, SW_1 为高,积分器对采样保持的信号 V_{hld_p} , V_{hld_n} 积分。当积分器的正输出端电压 $V_{int_p} > V_p$ 时, V_{comp_p} 为高, SW_2 为高,选择 V_{ref_n} 作为与 V_{int_p} 对应的反积分电平;当 $V_{int_p} < V_n$ 时, V_{comp_n} 为高, SW_2 为低,选择 V_{ref_p} 作为与 V_{int_p} 对应的反积分电平。在 ADC 的一个转换周期内,若 V_{int_p} 始终没有超过区间 $[V_n, V_p]$,当 Counter_int 到

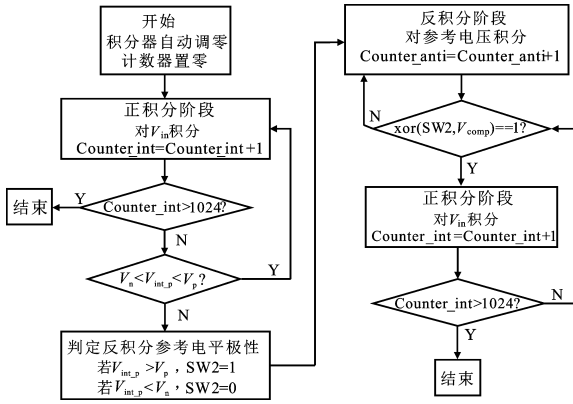


图2 正反积分实现流程图

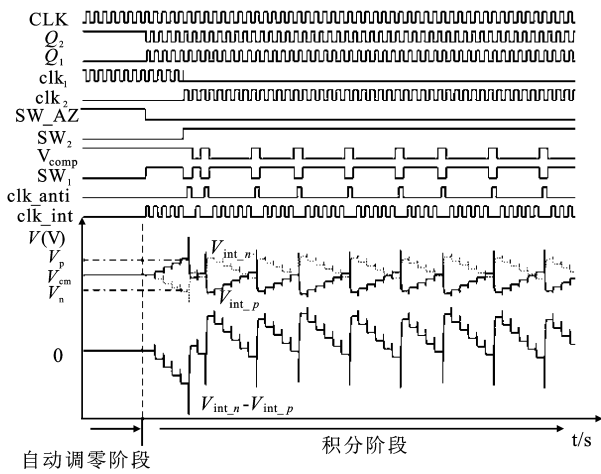


图3 ADC工作时序

达预定数值,输出低电平 Int_done,积分器不再工作,Counter_anti 计数为 0,即输入电压很小,小于 1LSB. 当 V_{int_p} 超过了区间 $[V_n, V_p]$, clk_1 保持为低电平,两个辅助比较器停止工作, V_{comp_p} 、 V_{comp_n} 结果保持在前一次转换的状态. 同时, clk_2 跟随 CLK 变化,主电路中比较器开始工作. 若 $V_{in_p} > V_{in_n}$, 在主比较器刚开始工作时 $V_{int_p} > V_{int_n}$, 主比较器输出 V_{comp_p} 为高电平,由前面的分析我们知道, V_{comp_p} 为高电平并且在这个转换周期不会再改变,而此时需要控制 SW_1 的值为低电平进入反积分阶段,当 $V_{int_p} < V_{int_n}$ 时, V_{comp} 为低电平,此时又需要控制 SW_1 为高电平进入正积分阶段. 同理可以分析出 $V_{int_p} < V_{int_n}$ 的情况,列出真值表后可以得到,将 V_{comp} 与 V_{comp_p} 求异或即为 SW_1 的控制信号.

随着正反积分的交替进行,计数器的值也在不断增加,当积分阶段对应的计数器 Counter_int 达到预设值时,信号 Int_done 变为高电平,表示正积分阶段的固定时间已经达到,反积分阶段对应的计数器 Counter_anti 停止计数. 在下一个自动调零阶

段开始时,将 Counter_anti 的数值与 V_{comp_p} 的值(作为极性的标志位)放入锁存器中作为输出,进入下一个工作周期.

3 电路设计

3.1 采样保持电路

如图 4 所示,本文的采样保持电路采用单位增益采样器结构. 其中三个开关控制着电路的采样和放大模式. 在采样模式中, S_1 和 S_2 导通, S_3 断开,全差分运放处于单位增益负反馈状态, V_{hld_p} 与 V_{hld_n} 等于共模电压, C_H 左电压跟踪输入 V_{in} , 此时失调电压也存储在 C_H 上. 采样结束后, S_1 和 S_2 断开, S_3 导通,电容跨接在运放的输入输出两端,电路进入放大模式. 因为运放的增益很高而且电荷必须守恒,所以, $V_{hld_p} = V_{in_p}$, $V_{hld_n} = V_{in_n}$. 电压被固定住并可被后续电路处理,单位增益采样器相比单位增益缓冲器能够有效消除运放失调带来的误差.

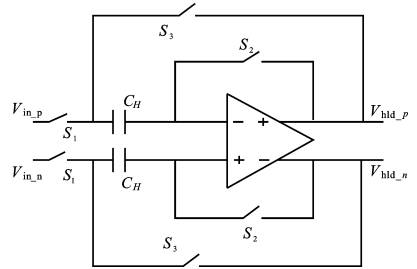


图4 全差分单位增益采样器

3.2 积分器电路

积分器是双积分 ADC 最核心的部分,积分器的精度决定了整个 ADC 的精度. 除了需要较高的增益来保证积分器的精度,运放的失调也需要仔细考虑. 一般来说, $0.35 \mu\text{m}$ 工艺下运算放大器的 off-set 在 10 mV 左右,在我们的应用环境中,差分输入电压范围是 2 V, 10 个 bit 精度意味着分辨率要达到 2 mV, 小于失调的典型值,因此运放输入失调必须要消除.

图 5 是本文中含有自动调零的开关电容积分器. 在 ADC 的自动调零阶段,开关 S_{AZ} 闭合,运放处于单位增益负反馈的形式, C_{AZ} 的右端为运放的输入端,左端为共模电压 V_{cm} . 当积分器开始积分阶段时, S_{AZ} 断开, C_{AZ} 右端没有电流通路,因此电容 C_{AZ} 两端的电压不会改变,此时电容 C_{AZ} 上存储的电压就是运放输入失调电压,此结构能够有效消除积分器的输入失调.

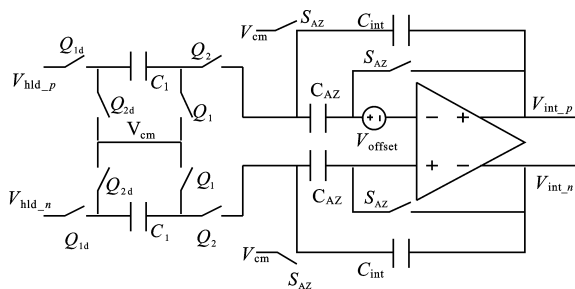


图5 带有自动调零结构的开关电容积分器

开关电容积分器使用电容和开关来模拟电阻。 Q_1 、 Q_2 为两相不交叠时钟,为了减小电荷注入导致的误差, Q_{1d} 、 Q_{2d} 的时序比 Q_1 、 Q_2 稍晚。在采样阶段, Q_1 、 Q_{1d} 闭合, Q_2 、 Q_{2d} 断开,电容 C_1 上存储的电荷为 $(V_{\text{hld}} - V_{\text{cm}})C_1$;在积分阶段, Q_1 、 Q_{2d} 断开, Q_2 、 Q_{2d} 闭合,由于运放的虚短效应, C_1 右端电压为 V_{cm} ,与左端相等,因此 C_1 上的电荷为 0。所以在一个完整的周期 T 内,正输入端转移的电荷为 $(V_{\text{hld}} - V_{\text{cm}})C_1$,该结构可以等效值为 T/C_1 的电阻。

3.3 动态比较器

在传统的双积分 ADC 中,没有采用动态比较器的结构的主要原因主要是动态比较器的回踢噪声会叠加至输入信号引起比较器的动态失调,此外,不带预放大器的锁存比较器不能自动调零,比较器的失调会直接体现在输出结果^[5]。然而,在本设计中,开关电容积分器的积分电容 C_{int} 为开关电容 C_1 的 4 倍,反积分阶段采用的参考电压幅值为 2 V,在一个反积分时钟内,积分器输出电压的变化为 500 mV,远大于动态比较器的回踢噪声和失调。因此,本设计对比较器的失调和回踢噪声不敏感,其带来的误差不会超过 1 LSB。

本文使用的动态比较器结构如图 6 所示,当 clk 为低电平时,电路处于重置相位, M_5 断开,电路没有电流消耗。开关 $M_{1a/b}$ 闭合,使输出电压 V_{out_n} , V_{out_p} 接近 VDD, $M_{3a/b}$ 的源端电压接近 VDD。

当 clk 为高电平时,电路处于建立相位,开关 $M_{1a/b}$ 断开, M_5 闭合,电路有电流通过差分对 $M_{4a/b}$,此时 $M_{3a/b}$ 源极电压下降。根据输入信号 V_{in_p} 和 V_{in_n} 的大小关系, $M_{3a/b}$ 中有一个先闭合,假设 $V_{\text{in}_p} > V_{\text{in}_n}$,使 M_{3a} 的源端电压比 M_{3b} 源端的电压下降得快, M_{3a} 先工作,使 V_{out_p} 升高,导致 V_{out_n} 下降,使 M_{2a} , M_{3a} , 与 M_{2b} , M_{3b} 两个互耦的逆变器开始进入正反馈,最终将 V_{out_p} 提升至 VDD,进而将 V_{out_n} 拉低至地。

动态比较器的结果需要一个 RS 锁存器来保

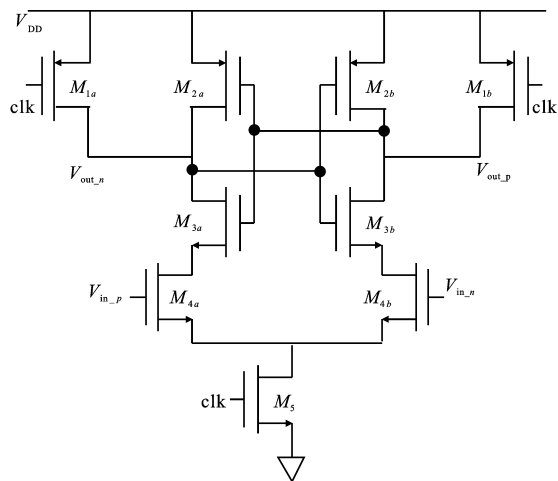


图6 动态比较器原理图

存,当 clk 电平为低时, $V_{\text{out}_p} = V_{\text{out}_n} = V_{\text{DD}}$ 时,输出保持上一状态。该电路工作原理使得电路只有在重置相位消耗电流给 MOS 管的寄生电容充电,在建立相位寄生电容放电。因此不消耗静态电流,电路的效率极高。

4 仿真结果

在本设计中,电源电压为 2 V,输入电压范围为 0.5~1.5 V。反积分阶段参考电压 $V_{\text{ref}_p} = 2$ V, $V_{\text{ref}_n} = 0$ V,总电流为 18.5 μA ,通过正反积分交替的形式将原本可能需要 100 pF 的积分电容 C_{int} 缩减到了 1 pF。在本设计中,自动调零阶段设定为 256 个时钟,总的正积分阶段设定为 1 024 个时钟,反积分阶段最高为 512 个时钟,因此一个转换需要占用 1 792 个时钟,系统时钟周期为 0.75 MHz,采样率为 418 S/s,满足心电采集的要求。使用 Matlab 模拟开关电容积分器的行为,有效位数达到 9.77 bits^[6-8]。

表 1 总结了本文的 ADC 的性能。双积分 ADC 的积分电容会随着位数呈指数次幂增加^[4],而在本文提出的结构中,如果 ADC 位数增加,电容面积依然会保持不变。文献[9]也使用了 0.35 μm CMOS 工艺,其结构为差分输入的双斜坡 ADC,时钟频率为 50 MHz,远大于本文能使用的 0.75 MHz 时钟频率,因此能使用较小的积分电容使面积比本文小,并带来了 19.8 mW 的功耗,远大于本文的 37 μW ,而且受比较器回踢噪声影响,其有效位数只有 8.1 个 bit。一般来说,面积与工艺的平方成正比,将面积除以工艺的平方后与其他文献相比,本文有一定的优势。

表 1 与其他低功耗 Dual slope ADC 的性能比较

	文献[2]	文献[6]	文献[7]	文献[8]	文献[9]	本文
cmos 工艺 / μm	0.13	0.25	0.13	0.6	0.35	0.35
工作电压 /V	1.2	2.5	1.2	2.85	3.3	2
精度 /bit	8	10	N/A	11	11	10
有效位数 /bit	7	9	9.3	10.3	8.1	9.8
采样频率 /(kS/s)	15	10	10	7.1	12	0.4
功耗 /W	44 μ	10m	42 μ	250 μ	19.8m	37 μ
面积 / mm^2	0.06	N/A	0.06	0.6	0.92	0.16

5 结束语

本文介绍了一种新型交替积分的双积分 ADC 系统,详细阐述了电路的结构以及数字逻辑.该双积分 ADC 使用开关电容积分器,避免了片上电阻的寄生电容带来的影响,并使用正反积分交替的工作方式,大大降低了所需的片上电容,减小了系统所需的面积.同时引入了自动调零系统,极大地减小了积分器运放输入失调;加入了两个比较器,确保差分输入信号的极性判断正确,保证反积分电平的正确选择.本文的 ADC 在 0.35 μm CMOS 工艺下设计,有 10 位精度,面积为 0.16 mm^2 .此双积分 ADC 结构适合在低功耗、便携式无线供电的生物电信号采集系统中使用.

参考文献:

[1] 曹细武,邓亲恺.心电图各波的频率分析[J].中国医学物理学杂志,2001,18(1):46-48.

[2] Shan H, Rausch S, Jou A, et al. A low power programmable dual-slope ADC for single-chip RFID sen-

sor nodes[C]//Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2017 IEEE 17th Topical Meeting on. [s. l.]. IEEE, 2017: 118-120.

[3] 汪正锋,宁宁,吴霜毅,等.一种基于电压窗口技术的超低功耗 SAR ADC[J].电子学报,2014,44(1):211-215.

[4] 杜微.一种新型高速高分辨率双积分 A/D 转换器的设计与研究[D].成都:电子科技大学,2016.

[5] 杨赟秀,罗静芳,宁宁,等.新型高速低功耗 CMOS 预放大锁存比较器[J].微电子学,2006,36(2):213-216.

[6] Levine, Peter M. Active CMOS sensor array for electrochemical biomolecular detection[J]. IEEE Journal of Solid-State Circuits, 2008, 43 (8): 1859-1871.

[7] Jafari H, Soleymani L, Genov R. 16-channel CMOS impedance spectroscopy DNA analyzer with dual-slope multiplying ADCs[J]. IEEE transactions on biomedical circuits and systems, 2012, 6(5): 468-478.

[8] Dehennis A D, Mailand M, Grice D, et al. A near-field-communication (nfc) enabled wireless fluorimeter for fully implantable biosensing applications[C]//Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013 IEEE International. San Francisco, CA, USA, IEEE, 2013: 298-299.

[9] Shetty D, Renukaswamy P T. A 11-bit integrating analog to digital converter[C]//Microelectronics. Villach, Austria, IEEE, 2017:19-23. DOI: 10.1109/Austrochip.2016.015

作者简介:

程天元 男,(1993-),硕士研究生.研究方向为数模混合电路设计. E-mail:chengty@sjtu.edu.cn.

吴春东 男,(1985-),博士.研究方向为电源管理、模拟集成电路设计.

王国兴 男,(1975-),博士,副教授.研究方向为生物医疗电子、集成电路设计.